

EPUS-2917

SS

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC929 U.S. PTO

09/817193



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月31日

出 願 番 号

Application Number:

特願2000-098918

出 願 人

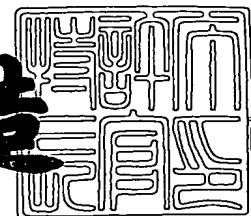
Applicant(s):

セイコーエプソン株式会社

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3108390

【書類名】 特許願

【整理番号】 EP-0171301

【提出日】 平成12年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06G 3/36

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 土屋 雅彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器

【特許請求の範囲】

【請求項 1】 第 1 の第 1 導電型トランジスタと、前記第 1 の第 1 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 1 導電型トランジスタとを含み、入力電圧に基づいて動作する第 1 の差動増幅回路と、

第 1 の第 2 導電型トランジスタと、前記第 1 の第 2 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 2 導電型トランジスタとを含み、前記入力電圧に基づいて動作する第 2 の差動増幅回路と、

前記第 1 の差動増幅器からの第 1 の信号に基づいて動作する第 3 の第 1 導電型トランジスタと、

前記第 3 の第 1 導電型トランジスタと直列接続され、前記第 2 の差動増幅回路からの第 2 の信号に基づいて動作する第 3 の第 2 導電型トランジスタと、

を有し、前記第 3 の第 1 導電型トランジスタと前記第 3 の第 2 導電型トランジスタとの間の電圧を出力電圧とする差動増幅装置であって、

前記第 1 の差動増幅回路は、

前記第 1 の第 1 導電型トランジスタと直列に接続される第 4 の第 2 導電型トランジスタと、

前記第 2 の第 1 導電型トランジスタと直列に接続され、前記第 4 の第 2 導電型トランジスタとは能力の異なる第 5 の第 2 導電型トランジスタと、

を有することを特徴とする差動増幅装置。

【請求項 2】 請求項 1 において、

前記第 1 の差動増幅回路では、前記第 5 の第 2 導電型トランジスタの能力が前記第 4 の第 2 導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅装置。

【請求項 3】 請求項 1 において、

前記第 2 の差動増幅回路は、

前記第 1 の第 2 導電型トランジスタと直列に接続される第 4 の第 1 導電型トランジスタと、

前記第 2 の第 2 導電型トランジスタと直列に接続され、前記第 4 の第 1 導電型トランジスタとは能力の異なる第 5 の第 1 導電型トランジスタと、
を有することを特徴とする差動増幅装置。

【請求項 4】 請求項 3 において、

前記第 2 の差動増幅回路では、前記第 5 の第 1 導電型トランジスタの能力が前記第 4 の第 1 導電型トランジスタよりも大きく設定されていることを特徴とする差動増幅装置。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の差動増幅装置を有することを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 4 のいずれかに記載の差動増幅装置を有することを特徴とする電源回路。

【請求項 7】 請求項 6 に記載の電源回路を有することを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、2 組の差動増幅回路を有する差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器に関する。

【 0 0 0 2 】

【背景技術及び発明が解決しようとする課題】

図 7 に、従来の差動増幅装置を示し、2 組の第 1、第 2 の差動増幅回路 2 0 0、2 1 0 を有する。第 1、第 2 の差動増幅回路 2 0 0、2 1 0 には、抵抗分割回路 2 2 0 にて設定されるオフセットのある第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} がそれぞれ入力される。第 1 の差動増幅回路 2 0 0 の後段には、第 1 の差動増幅回路 2 0 0 からの第 1 の信号 S_1 によって駆動される P 型 MOS トランジスタ 2 0 2 が設けられている。同様に、第 2 の差動増幅回路 2 1 0 の後段には、第 2 の差動増幅回路 2 1 0 からの第 2 の信号 S_2 によって駆動される N 型 MOS トランジ

スタ 2 1 2 が設けられている。これら P 型 MOS トランジスタ 2 0 2 及び N 型 MOS トランジスタ 2 1 2 が引き合うことで、出力電圧 V_{OUT} が定まるようになっている。

【 0 0 0 3 】

このように、従来の差動増幅装置では、入力電圧にオフセットをつけることで所定の出力電圧 V_{OUT} を生成するようにしていた。

【 0 0 0 4 】

ところで、図 7 に示す抵抗分割回路 2 2 0 に印加される電源電圧 V_{DD} の値を変更した場合には、第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} のオフセットの大きさも変わってしまう。例えば、電源電圧 V_{DD} を 5 V としたときのオフセットを 0. 1 V とした時、電源電圧 V_{DD} を 1 0 V と大きくしたときにはオフセットは 0. 2 V と 2 倍となる。逆に、電源電圧 V_{DD} を 2. 5 V と大きくしたときにはオフセットは 0. 0 5 V と 1 / 2 倍となる。

【 0 0 0 5 】

ここで、第 1、第 2 の入力電圧 V_{IN1} 、 V_{IN2} 間のオフセットが小さいほど、図 7 に示す P 型 MOS トランジスタ 2 0 2 及び N 型 MOS トランジスタ 2 1 2 に流れる電流が増えて消費電流が大きくなる。従って、図 7 に示す従来装置では、電源電圧 V_{DD} が低い時に、消費電力が大きくなるという問題があった。一方電源電圧 V_{DD} が高い時には、オフセットが大きくなるので、図 8 に示す出力電圧の振れが大きくなるという欠点が生ずる。

【 0 0 0 6 】

このため、図 7 に示す従来の差動増幅装置は、電源電圧 V_{DD} を変更する範囲に自ずから制限があり、汎用性が低いという問題も生ずる。

【 0 0 0 7 】

そこで、本発明の目的とするところは、入力電圧にオフセットを設けずに所定の出力電圧を生成することができる差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器。

【 0 0 0 8 】

本発明の他の目的は、電源電圧を変更しても、消費電力の増大と出力電圧の振

れの増大とを低減できる汎用性の高い差動増幅装置、半導体装置、電源回路及びそれを用いた電子機器を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明は、第 1 の第 1 導電型トランジスタと、前記第 1 の第 1 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 1 導電型トランジスタとを含み、入力電圧に基づいて動作する第 1 の差動増幅回路と、

第 1 の第 2 導電型トランジスタと、前記第 1 の第 2 導電型トランジスタと共にカレントミラー回路を構成する第 2 の第 2 導電型トランジスタとを含み、前記入力電圧に基づいて動作する第 2 の差動増幅回路と、

前記第 1 の差動増幅器からの第 1 の信号に基づいて動作する第 3 の第 1 導電型トランジスタと、

前記第 3 の第 1 導電型トランジスタと直列接続され、前記第 2 の差動増幅回路からの第 2 の信号に基づいて動作する第 3 の第 2 導電型トランジスタと、

を有し、前記第 3 の第 1 導電型トランジスタと前記第 3 の第 2 導電型トランジスタとの間の電圧を出力電圧とする差動増幅装置であって、

前記第 1 の差動増幅回路は、

前記第 1 の第 1 導電型トランジスタと直列に接続される第 4 の第 2 導電型トランジスタと、

前記第 2 の第 1 導電型トランジスタと直列に接続され、前記第 4 の第 2 導電型トランジスタとは能力の異なる第 5 の第 2 導電型トランジスタと、

を有することを特徴とする。

【 0 0 1 0 】

第 1 の差動増幅回路では、差動対を構成する第 4、第 5 の第 2 導電型トランジスタ間に能力差がある。このため、第 1、第 2 の差動増幅回路の入力電圧にオフセットを設けなくても、作動対を構成するトランジスタ間に能力差のない第 2 の差動増幅回路からの出力電圧に対してオフセットのある出力電圧を第 1 の差動増幅回路にて生成でき、結果として入力電圧間にオフセットのある場合と同様に動作させることができる。

【 0 0 1 1 】

しかも、入力電圧間にオフセットがないため、入力電圧を設定する回路の電源電圧を変更しても、入力電圧間のオフセットのばらつきに伴う従来の問題が生ずることがない。

【 0 0 1 2 】

ここで、第 1 の差動増幅回路では、第 5 の第 2 導電型トランジスタの能力が第 4 の第 2 導電型トランジスタよりも大きく設定される。

【 0 0 1 3 】

さらに、第 1 の差動増幅回路と同様に、第 2 の差動増幅回路は、前記第 1 の第 2 導電型トランジスタと直列に接続される第 4 の第 1 導電型トランジスタと、前記第 2 の第 2 導電型トランジスタと直列に接続され、前記第 4 の第 1 導電型トランジスタとは能力の異なる第 5 の第 1 導電型トランジスタとを有することができる。こうしても、第 1、第 2 の差動増幅回路の出力電圧間にオフセットを生じさせることができるからである。

【 0 0 1 4 】

この場合は、第 2 の差動増幅回路では、第 5 の第 1 導電型トランジスタの能力が前記第 4 の第 1 導電型トランジスタよりも大きく設定される。

【 0 0 1 5 】

なお、トランジスタ間に能力差をつけるには、サイズを変更すれば良く、チャネル幅を大きくすれば能力は大きくなり、チャネル長を大きくすれば能力は小さくなる。

【 0 0 1 6 】

本発明の他の態様によれば、上述した差動増幅装置を少なくとも含んで 1 チップの半導体装置を構成できる。

【 0 0 1 7 】

このような差動増幅装置を少なくとも一つ含んで電源回路を構成することもでき、あるいはその電源回路を含んだ電子機器を構成することもできる。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0019】

＜第1の実施の形態＞

本発明の一実施の形態に係る差動増幅装置の構成及び動作について、図1～図4を参照して説明する。

【0020】

(差動増幅装置の構成)

図1は、本実施の形態に係る差動増幅装置の回路図である。この差動増幅装置は、共通入力電圧 V_{IN} に基づいて動作するボルテージフォロア型の第1の差動増幅回路10と、共通入力電圧 V_{IN} に基づいて動作するボルテージフォロア型の第2の差動増幅回路30とを有する。

【0021】

第1の差動増幅回路10は、図2に示すように、第1導電型例えばP型のMOSトランジスタ（第1のP型トランジスタ）12と、P型MOSトランジスタ12と共にカレントミラーを構成するP型MOSトランジスタ（第2のP型トランジスタ）14とを含む。これらP型MOSトランジスタ12、14は、サイズが同一で同一能力を有するため、カレントミラー回路を構成する。一例として、P型MOSトランジスタ12、14は、そのチャネル幅 w が $50\mu m$ であり、チャネル長 L が $7\mu m$ である。

【0022】

第2の差動増幅回路30は、第2導電型例えばN型のMOSトランジスタ（第1のN型トランジスタ）32と、N型MOSトランジスタ32と共にカレントミラーを構成するN型MOSトランジスタ（第2のN型トランジスタ）34とを含む。これらN型MOSトランジスタ32、34も、サイズが同一で同一能力を有するため、カレントミラー回路を構成する。一例として、N型MOSトランジスタ32、34は、そのチャネル幅 W は $25\mu m$ であり、チャネル長 L は $7\mu m$ である。

【0023】

第1の差動増幅回路10はさらに、電源電圧 V_{DD} 、 V_{SS} の間にて、P型MOS

トランジスタ12に直列接続されたN型MOSトランジスタ16（第4のN型トランジスタ）と、電源電圧 V_{DD} 、 V_{SS} 間にてP型MOSトランジスタ14に直列接続されたN型MOSトランジスタ18（第5のN型トランジスタ）とを有する。なお、N型MOSトランジスタ16、18は定電流源20を介して電源電圧 V_{SS} と接続されている。

【0024】

N型MOSトランジスタ16、18は、サイズが異なることで能力差を有する。一例として、N型MOSトランジスタ16、18は、チャネル長 L は $7\mu\text{m}$ と共通するが、N型MOSトランジスタ16のチャネル幅 W は $25\mu\text{m}$ であるのに対して、N型MOSトランジスタ18のチャネル幅 W は $28\mu\text{m}$ となっている。すなわち、N型MOSトランジスタ18の方がN型MOSトランジスタ16よりも能力が大きい。N型MOSトランジスタ18の能力をN型MOSトランジスタ16よりも大きくするために、N型MOSトランジスタ18のゲート長をN型MOSトランジスタ16よりも小さくしても良い。

【0025】

第2の差動増幅回路30も同様に、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ32に直列接続されたP型MOSトランジスタ36（第4のP型トランジスタ）と、電源電圧 V_{DD} 、 V_{SS} 間にてN型MOSトランジスタ34に直列接続されたP型MOSトランジスタ38（第5のP型トランジスタ）とを、負荷として有する。なお、P型MOSトランジスタ36、38は定電流源40を介して電源電圧 V_{DD} と接続されている。

【0026】

これらP型MOSトランジスタ36、38も、サイズが異なるため能力差を有する。一例として、P型MOSトランジスタ36、38は、チャネル長 L は $7\mu\text{m}$ と共通するが、P型MOSトランジスタ36のチャネル幅 W は $50\mu\text{m}$ であるのに対して、P型MOSトランジスタ18のチャネル幅 W は $55\mu\text{m}$ となっている。すなわち、P型MOSトランジスタ38の方がP型MOSトランジスタ36よりも能力が大きい。P型MOSトランジスタ38の能力をP型MOSトランジスタ36よりも大きくするために、P型MOSトランジスタ38のゲート長をP

型MOSトランジスタ36よりも小さくしても良い。

【0027】

図1及び図2に示すように、第1の差動増幅器10からの第1の信号 S_1 に基づいて動作するP型MOSトランジスタ（第3のP型トランジスタ）50と、第2の差動増幅器30からの第2の信号 S_2 に基づいて動作するN型MOSトランジスタ（第3のN型トランジスタ）52とが設けられている。

【0028】

これらP型MOSトランジスタ50とN型MOSトランジスタ52とは、電源電圧 V_{DD} 、 V_{SS} 間にて直列に接続され、P型MOSトランジスタ50とN型MOSトランジスタ52との間の電圧が、差動増幅装置の出力電圧 V_{OUT} となる。

【0029】

また、図2に示すように、第1、第2の増幅回路10、30には、発振防止用容量 C_1 、 C_2 と、静電気保護用抵抗 R_1 、 R_2 とが設けられている。

【0030】

（差動増幅装置の動作）

図7に示すように、第1、第2の入力電圧 V_{IN1} 、 V_{IN2} に基づいて動作する従来の差動増幅装置の出力電圧 V_{OUT} は、安定状態にあっては、図8に示すように、中間電圧 $(V_{IN1} - V_{IN2}) / 2$ で安定するか、あるいはその中間電圧を境に電圧 V_{IN1} と電圧 V_{IN2} との間で振れる電圧となる。

【0031】

本実施の形態の差動増幅装置は、共通入力電圧 V_{IN} を第1、第2の差動増幅回路10、30に入力させる一方で、この第1、第2の差動増幅回路10、30の作動対を構成する2つのトランジスタ16、18間及び36、38間にそれぞれ能力差をつけている。これにより、第1の差動増幅回路10側では第1の出力電圧 V_{OUT1} を出力電圧 V_{OUT} とするように動作し、第2の差動増幅回路30側では第2の出力電圧 V_{OUT2} を出力電圧 V_{OUT} とするように動作する。

【0032】

実際には、第1、第2の差動増幅回路10、30の出力線はショートされているため、差動増幅装置の出力 V_{OUT} として、図3に示すように、その中間電圧 |

$V_{OUT1} - V_{OUT2} \mid / 2$ で安定する（入力電圧 V_{IN} と同じ）か、あるいはその中間電圧を境に第 1 の出力電圧 V_{OUT1} と第 2 の出力電圧 V_{OUT2} との間で振れる電圧となる。

【 0 0 3 3 】

このように、本実施の形態の差動増幅装置によれば、共通入力電圧を第 1，第 2 の差動増幅回路 1 0，3 0 に入力させながらも、2 種の入力電圧を入力させる従来の差動増幅装置と同様な出力を得ることができる。

【 0 0 3 4 】

ここで、第 1 の差動増幅回路 1 0 では、入力電圧 V_{IN} よりも低い出力電圧 V_{OUT1} を出力させるように、P 型トランジスタ 5 0 のゲート電圧が制御される。第 1 の差動増幅回路 3 0 では、入力電圧 V_{IN} よりも高い出力電圧 V_{OUT2} を出力させるように、N 型トランジスタ 5 2 のゲート電圧が制御される。

【 0 0 3 5 】

このような制御動作について、以下に説明する。まず、第 1 の差動増幅回路 1 0 では、カレントミラー回路を構成する P 型 MOS トランジスタ 1 2，1 4 は能力が同じであるため、第 1 の差動増幅回路 1 0 が安定するときに、N 型 MOS トランジスタ 1 6，1 8 に流れる電流は同じとなる。

【 0 0 3 6 】

ここでもし 2 つの N 型トランジスタ 1 6，1 8 の能力が同じであるときを考えると、このときの第 1 の差動増幅回路 1 0 の出力電圧は、入力電圧 V_{IN} に等しく、そのときの P 型 MOS トランジスタ 5 0 のゲート電位を V_1 とする。

【 0 0 3 7 】

本実施の形態では、2 つの N 型トランジスタ 1 6，1 8 間には能力差があり、N 型 MOS トランジスタ 1 8 の能力が N 型 MOS トランジスタ 1 6 よりも高くなっている。

【 0 0 3 8 】

従って、N 型 MOS トランジスタ 1 6，1 8 に同一電流が流れる安定時にあっては、N 型 MOS トランジスタ 1 8 のゲートーソース間電圧は、N 型 MOS トランジスタ 1 6 のゲートーソース間電圧よりも低くて済む。

【0039】

このため、もし第1、第2の差動増幅回路10、30の出力同士がショートされていなければ、第1の差動増幅回路10の出力電圧 V_{OUT1} は入力電圧 V_{IN} よりも低くなる。

【0040】

しかし実際には、第1、第2の差動増幅回路10、30の出力同士がショートされているので、N型MOSトランジスタ16、18に同一電流が流れる安定時においては、N型MOSトランジスタ16、18のゲート-ソース間電圧は共に等しくなる。このとき、N型MOSトランジスタ18の方が電流を多く流す能力があるにも拘わらず、N型MOSトランジスタ16、18には同一電流が流れる。このため、P型MOSトランジスタ12、14のゲート電位が上述のゲート電位 V_1 よりも低くなり、電位的にはP型MOSトランジスタ50のゲート電位が上述の電位 V_1 よりも高くなる。

【0041】

従って、P型MOSトランジスタ50のゲート-ソース間電圧が低くなり、P型MOSトランジスタ50に流れる電流が減少して低消費となる。

【0042】

一方、第2の差動増幅回路30においても、同様の理由により、N型MOSトランジスタ52のゲート-ソース間電圧が低くなり、N型MOSトランジスタ52に流れる電流が減少して低消費となる。結果として、図2の電源電圧 V_{DD} からP型MOSトランジスタ50、N型MOSトランジスタ52を介して電源電圧 V_{SS} 側に流れる電流を少なくすることができる。

【0043】

以上のことにより、本実施の形態では入力電圧をオフセットさせなくても、図7に示す従来の差動増幅回路の出力電圧 V_{OUT} と同じ電圧を出力させることができ、しかも低消費電力を実現できる。る。

【0044】

＜第2の実施の形態＞

この第2の実施の形態では、第1の差動増幅回路10のN型MOSトランジス

タ 1 6 と N 型 MOS トランジスタ 1 8 との間にのみ能力差をつけ、第 2 の差動増幅回路 2 0 の P 型 MOS トランジスタ 3 6 及び P 型 MOS トランジスタ 3 8 間に能力差を設けずに、トランジスタ 3 6, 3 8 で差動対を構成している。

【 0 0 4 5 】

この場合、例えば入力電圧 V_{IN} を 4 V とすると、第 2 の差動増幅回路 3 0 の出力電圧 V_{OUT2} として 4 V が得られるが、第 1 の差動増幅回路 1 0 の出力電圧 V_{OUT1} としては、N 型 MOS トランジスタ 1 6 よりも N 型 MOS トランジスタ 1 8 の能力の方が大きいため、4 V よりも低い電圧が得られ、第 1, 第 2 の実施の形態と同様にして出力電圧 V_{OUT1} , V_{OUT2} 間にオフセットが得られる。

【 0 0 4 6 】

上記とは逆に、第 1 の差動増幅回路 1 0 の N 型 MOS トランジスタ 1 6 及び N 型 MOS トランジスタ 1 8 間に能力差を設けずに、第 2 の差動増幅回路 2 0 の P 型 MOS トランジスタ 3 6 と P 型 MOS トランジスタ 3 8 との間にのみ能力差をつけても良い。

【 0 0 4 7 】

< 第 3 の実施の形態 >

次に、本発明の第 3 の実施の形態に係る液晶表示装置の電源回路について、図 4 ～図 6 をも参照に加えて説明する。

【 0 0 4 8 】

(液晶表示装置の構成及び動作)

図 4 は、液晶表示装置の主要部の構成を示している。図 4 において、液晶表示部例えば単純マトリックス型液晶表示部 1 0 0 は、コモン電極 $C_0 \sim C_m$ が形成された第 1 の基板と、セグメント電極 $S_0 \sim S_n$ が形成された第 2 の基板との間に、液晶を封止することで形成されている。コモン電極の一本とセグメント電極の一本とが交差する交点が表示画素となり、液晶表示部 1 0 0 には $(m+1) \times (n+1)$ の表示画素が存在する。

【 0 0 4 9 】

なお、第 2 の実施の形態に係る液晶表示装置は、単純マトリックス液晶表示部 1 0 0 に代えて、アクティブマトリックス型液晶表示装置など、他の液晶表示部

を用いることもできる。

【 0 0 5 0 】

コモン電極 $C_0 \sim C_m$ にはコモンドライバ 1 0 2 が接続され、セグメント電極 $S_0 \sim S_n$ にはセグメントドライバ 1 0 4 が接続されている。これらコモンドライバ 1 0 2、セグメントドライバ 1 0 4 は、電源回路 1 0 6 から所定の電圧が供給されると共に、駆動制御回路 1 0 8 からの信号に基づいて、その所定の電圧をコモン電極 $C_0 \sim C_m$ またはセグメント電極 $S_0 \sim S_n$ に選択的に供給するものである。

【 0 0 5 1 】

ここで、図 4 に示す液晶表示部 1 0 0 のコモン電極 C_3 を選択するフレーム期間の駆動波形の一例を図 5 に示す。

【 0 0 5 2 】

図 5 において、太線はコモンドライバ 1 0 2 より各コモン電極 $C_0 \sim C_m$ に供給される駆動波形であり、細線はセグメントドライバ 1 0 4 より各セグメント電極 $S_0 \sim S_n$ に供給される駆動波形を示している。

【 0 0 5 3 】

図 5 に示すように、コモンドライバ 1 0 2 から供給される駆動波形は、電圧 V_0 、 V_1 、 V_4 、 V_5 の間で変化する。一方、セグメントドライバ 1 0 4 から供給される駆動波形は、電圧 V_0 、 V_2 、 V_3 、 V_5 の間で変化する。

【 0 0 5 4 】

(電源回路の構成)

図 6 は、図 4 に示す電源回路 1 0 6 の詳細を示している。図 6 に示すように、スイッチ $SW_1 \sim SW_6$ のいずれか 2 つをオンすることで、コモンドライバ 1 0 2 に供給される電圧 V_0 、 V_1 、 V_4 、 V_5 の一つと、セグメントドライバ 1 0 4 に供給される電圧 V_0 、 V_2 、 V_3 、 V_5 の一つとを選択できる。

【 0 0 5 5 】

ここで、電圧 V_5 には電源電圧 V_{DD} を、電圧 V_0 には電源電圧 V_{SS} をそれぞれ用い、電圧 $V_4 \sim V_1$ は、電圧 $(V_5 - V_0)$ を抵抗分割することで生成している。このために、電源回路 1 0 6 は、抵抗分割回路 1 1 0 と、4 つの差動増幅装

置120, 122, 124, 126とを有する。4つの差動増幅装置120~126は、抵抗分割回路110を介して、それぞれ異なるレベルの入力電圧 V_{IN} が入力され、その出力電圧として V_4 , V_3 , V_2 , V_1 をそれぞれ出力する。そして、これら4つの差動増幅装置120~126は、それぞれ図2の構成を有する。なお、図6に示す電源回路106は単独で、あるいは図4に示すコモンドライバ102及びセグメントドライバ104と共に1チップICにて構成することができる。

【0056】

(電源回路の動作)

図2を用いて既に説明した差動増幅装置の動作は、それぞれ異なる単一の入力電圧 V_{IN} に基づいて電圧 $V_1 \sim V_4$ をそれぞれ出力電圧 V_{OUT} として出力する図6に示す差動増幅装置120~126の動作にそのまま適合する。

【0057】

例えば、図6のスイッチSW3がオンすると、差動増幅装置126の出力線は、コモンドライバ102を介して、液晶表示部100のコモン電極C3とショートされる。このとき、コモン電極の電圧は、極性反転駆動のため図5に示す通り電圧 V_5 であったため、ショートによって差動増幅装置126の出力電圧 V_{OUT} は電圧 V_1 よりも下降する。しかし、この出力電圧 V_{OUT} は差動増幅装置の動作によって上昇され、速やかに電圧 V_1 にて安定される。他の差動増幅装置120~124についても、入力電圧 V_{IN} 及び出力電圧 V_{OUT} の値が異なるだけで、上記と同様に動作する。

【0058】

このように、本実施の形態に係る液晶表示装置用の電源回路106によれば、差動増幅装置120~126にそれぞれ単一の入力電圧 V_{IN} が入力されるだけで、各々の出力電圧 V_{OUT} ($V_1 \sim V_4$)を出力することができる。

【0059】

ここで、図7に示す従来の差動増幅装置と比較すると、図7の従来装置にて電源電圧 V_{DD} を5Vとした時であって、出力電圧 V_{OUT} を4Vとするには、第1の入力電圧 V_{IN1} は例えば3.95Vと設定され、第2の入力電圧 V_{IN2} は例えば4

． 0.5 Vと設定され、その間のオフセットは0.1 Vとなる。

【0060】

ところで、液晶表示装置の電源回路では、液晶駆動される表示容量によって必要とされる電圧が変わる。ここで、図4の液晶表示部100の表示画素数に応じて図5にて細線で示すセグメント波形のデューティーが決まる。すなわち、表示画素数が多ければ図5に示す選択期間 T_{SEC} が短くなり、少なければ選択期間 T_{SEC} は長く確保できる。

【0061】

いずれの場合にも、液晶に印加される電圧の実効値を等しく確保する必要がある。従って、図9に示すように、選択期間が T_{SEC1} のように長ければ印加電圧の波高値 V_{H1} は低くできるが、選択期間が T_{SEC2} のように短ければ印加電圧の波高値 V_{H2} は高くせざるを得ず、これに応じて電源電圧 V_{DD} を変更する必要がある。

【0062】

ここで、図7に示す従来装置をそのまま用い、かつ電源電圧 V_{DD} を5 Vから10 Vに変更した場合、第1の入力電圧 V_{IN1} は8.9 Vに設定され、第2の入力電圧 V_{IN2} は9.1 Vに設定される。このときの第1，第2の入力電圧 V_{IN1} ， V_{IN2} 間のオフセットは0.2 Vとなり、電源電圧 $V_{DD}=5$ Vのときのオフセット値0.1 Vの2倍となる。

【0063】

逆に電源電圧 V_{DD} を5 Vよりも下げれば、第1，第2の入力電圧 V_{IN1} ， V_{IN2} 間のオフセットは0.1 Vよりも小さくなる。

【0064】

このように、抵抗分割回路を兼用してかつ電源電圧 V_{DD} を変更した場合には、その電源電圧値に応じて、図7の従来の差動増幅装置に入力される第1，第2の入力電圧 V_{IN1} ， V_{IN2} 間のオフセットがばらついていた。

【0065】

ここで、入力電圧 V_{IN1} ， V_{IN2} 間のオフセットが小さいほど、図7に示すP型MOSトランジスタ202及びN型MOSトランジスタ212に流れる電流が増えて消費電流が大きくなる。従って、図7に示す従来装置では、電源電圧 V_{DD} が

低い時に、消費電力が大きくなるという問題があった。一方電源電圧 V_{DD} が高い時には、オフセットが大きくなるので、図 8 に示す出力電圧の振れが大きくなるという欠点が生ずる。

【 0 0 6 6 】

この点、本実施の形態によれば、第 1、第 2 の差動増幅回路 1 0, 3 0 より得られる出力電圧 V_{OUT1} , V_{OUT2} 間のオフセットは、入力電圧 V_{IN} が単一であるため、トランジスタの能力差でオフセットがつくようになり、オフセットのばらつきが低減される。従って、本実施の形態に係る電源回路 1 0 6 は、電源電圧 V_{DD} を変更しても共用でき、汎用性が増すという利点もある。

【 0 0 6 7 】

なお、上述した差動増幅装置あるいは電源回路は、液晶表示装置を含む電子機器例えば、携帯電話、ゲーム装置、パーソナルコンピュータなどの各種電子機器の他、安定した電圧の供給を受けて動作する他の種々の電子機器に適用できることは言うまでもない。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る差動増幅装置の概略回路図である。

【図 2】

図 2 に示す差動増幅装置の詳細な回路図である。

【図 3】

図 2 に示す差動増幅装置の出力電圧 V_{OUT} の説明図である。

【図 4】

本発明の第 3 の実施の形態に係る液晶表示装置の概略説明図である。

【図 5】

図 4 に示す液晶表示装置の駆動波形を示す波形図である。

【図 6】

図 4 に示す液晶表示装置に用いられる電源回路の回路図である。

【図 7】

2 種の電圧を入力させる従来の差動増幅装置の回路図である。

【図 8】

図 7 に示す従来装置の出力電圧 V_{OUT} の説明図である。

【図 9】

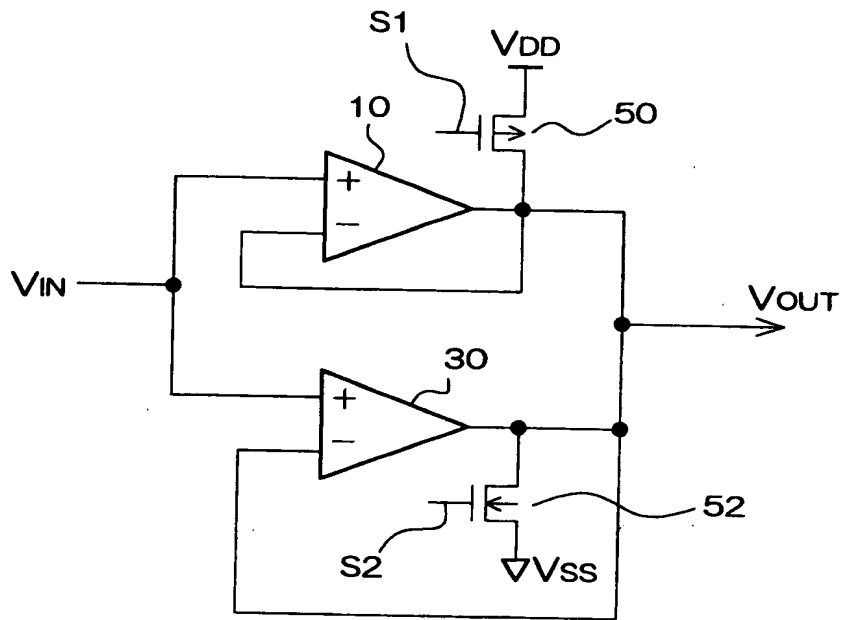
液晶に印加される電圧の実効値が同じとなる異なる印加電圧波形を示す波形図である。

【符号の説明】

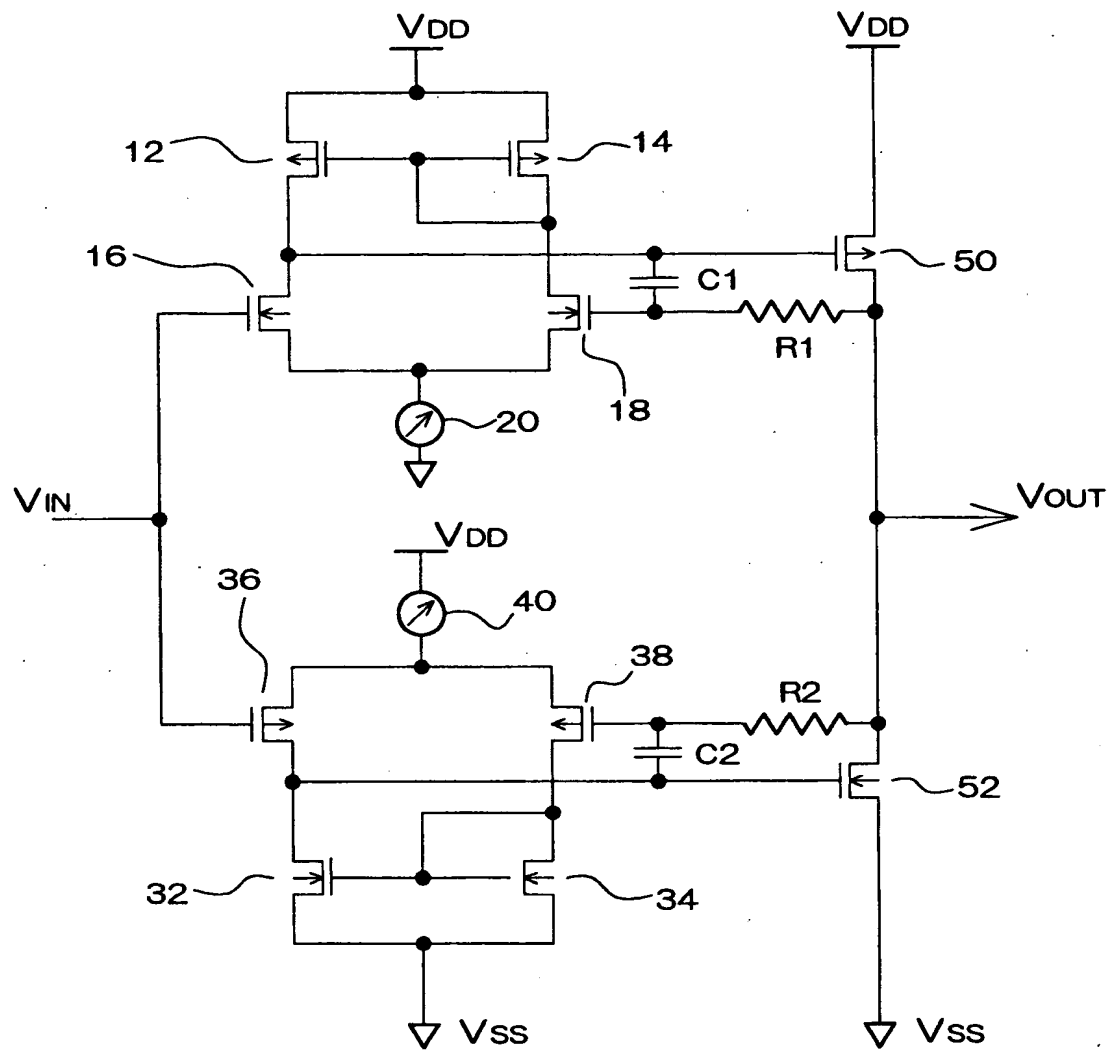
- 1 0 第 1 の差動増幅回路
- 1 2 P 型 MOS トランジスタ (第 1 の第 1 導電型トランジスタ)
- 1 4 P 型 MOS トランジスタ (第 2 の第 1 導電型トランジスタ)
- 1 6 N 型 MOS トランジスタ (第 4 の第 2 導電型トランジスタ)
- 1 8 N 型 MOS トランジスタ (第 5 の第 2 導電型トランジスタ)
- 3 0 第 2 の差動増幅回路
- 3 2 N 型 MOS トランジスタ (第 1 の第 2 導電型トランジスタ)
- 3 4 N 型 MOS トランジスタ (第 2 の第 2 導電型トランジスタ)
- 3 6 P 型 MOS トランジスタ (第 4 の第 1 導電型トランジスタ)
- 3 8 P 型 MOS トランジスタ (第 5 の第 1 導電型トランジスタ)
- 5 0 P 型 MOS トランジスタ (第 3 の第 1 導電型トランジスタ)
- 5 2 N 型 MOS トランジスタ (第 3 の第 2 導電型トランジスタ)
- 1 0 6 電源回路
- 1 1 0 抵抗分割回路
- 1 2 0, 1 2 2, 1 2 4, 1 2 6 差動増幅装置

【書類名】 図面

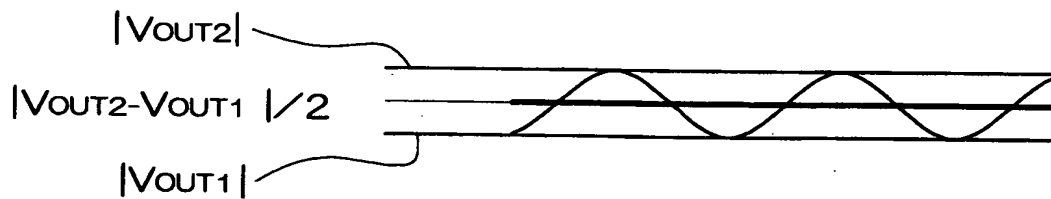
【図 1】



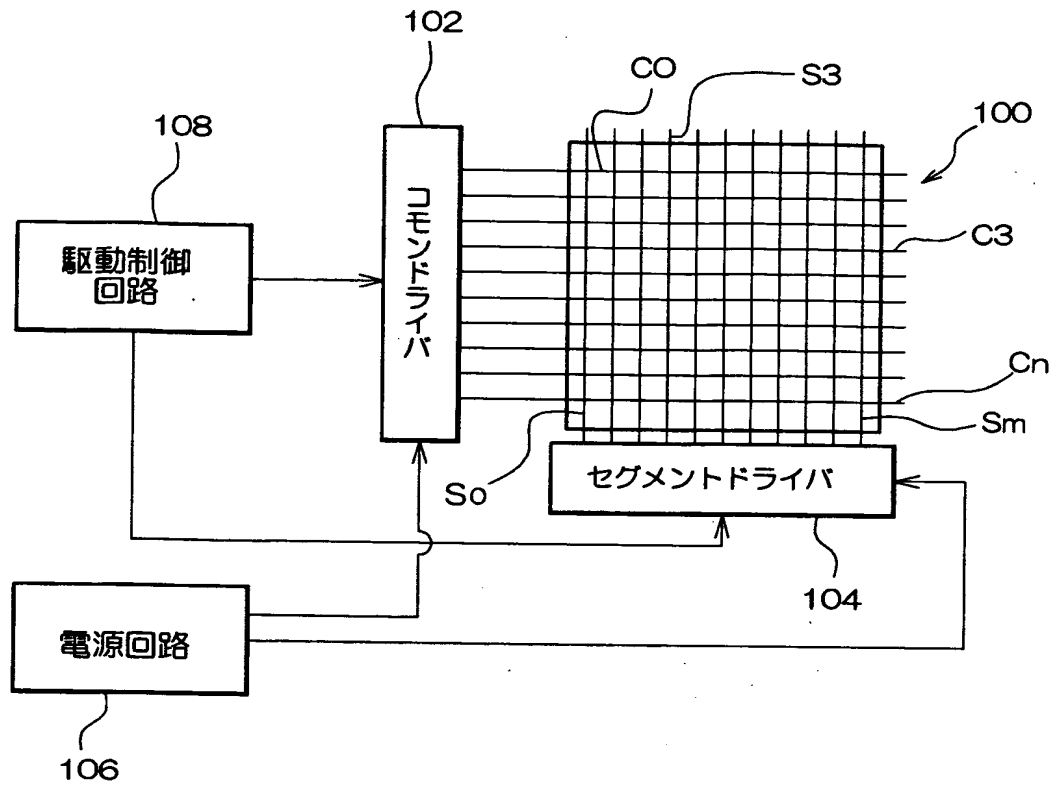
【図 2】



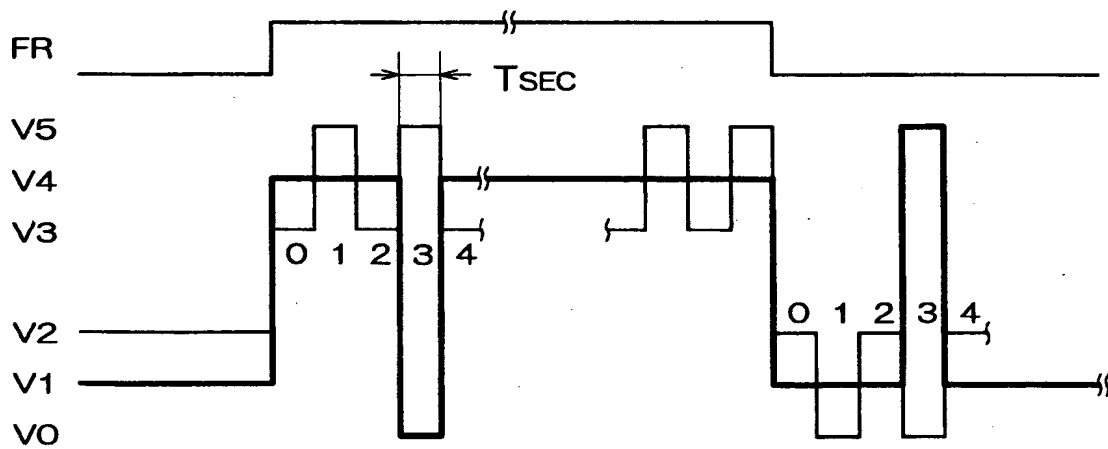
【図 3】



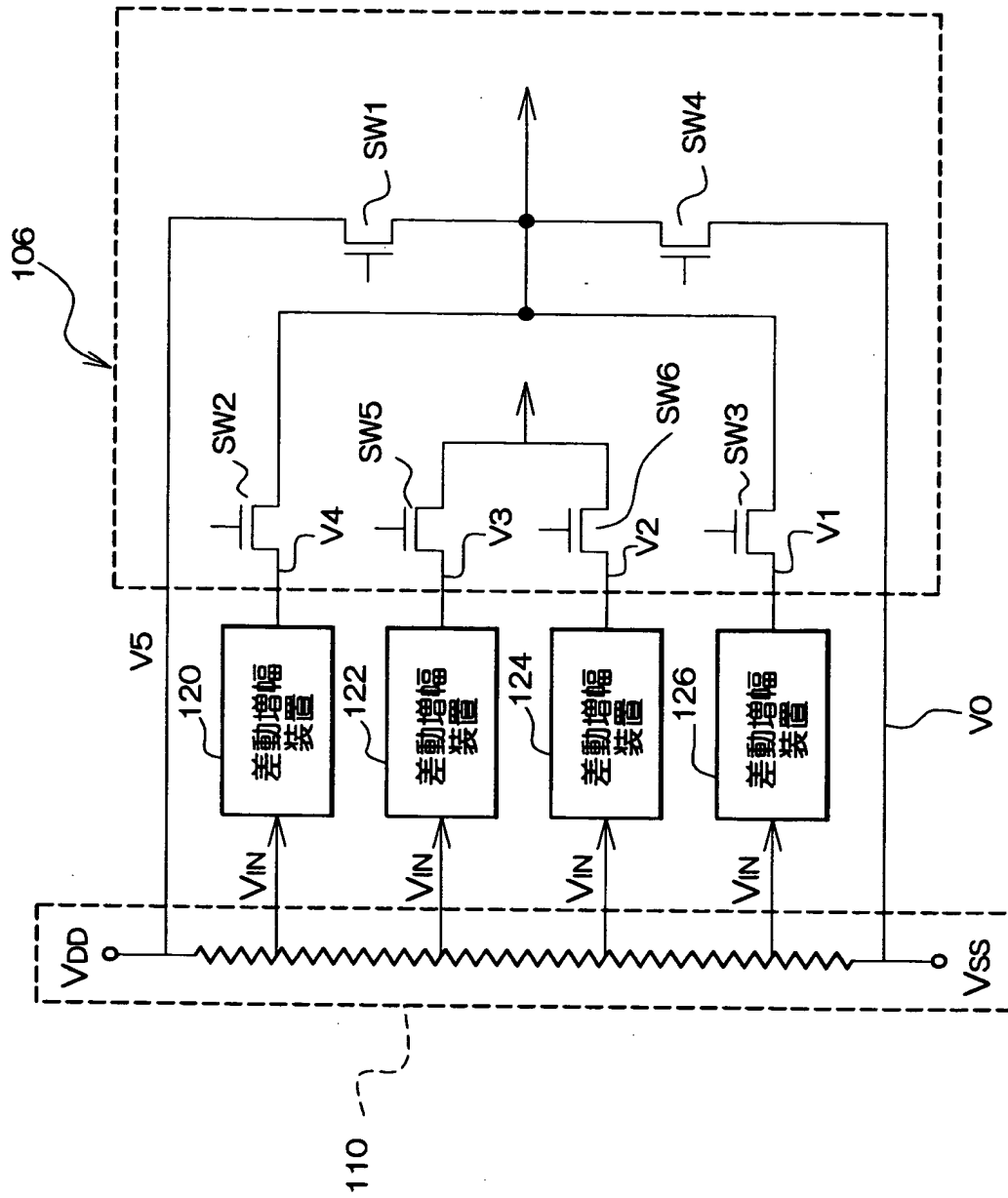
【図 4】



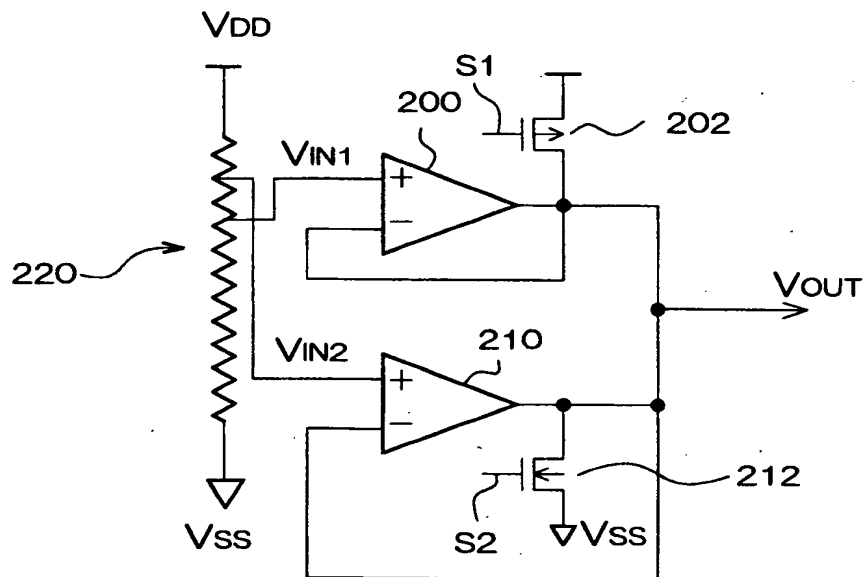
【図 5】



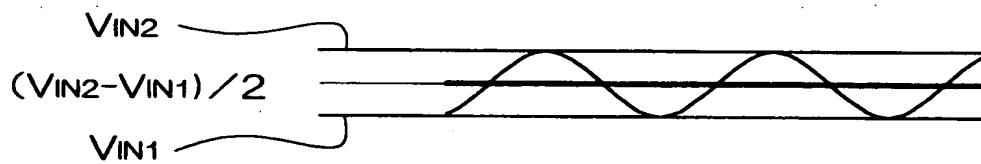
【図 6】



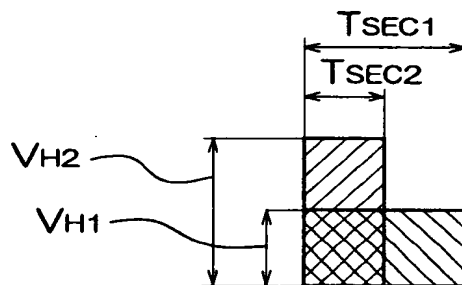
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 差動増幅装置を構成する 2 組の差動増幅回路の出力電圧のオフセットのばらつきが、電源電圧の大きさに起因して生ずることを低減する。

【解決手段】 第 1 の差動増幅回路 1 0 は、カレントミラー回路を構成する第 1 の P 型トランジスタ 1 2 と第 2 の P 型トランジスタ 1 4 とを含み、入力電圧 V_{IN} に基づいて動作する。第 2 の差動増幅回路 3 0 は、カレントミラー回路を構成する第 1 の N 型トランジスタ 3 2 と第 2 の N 型トランジスタ 3 4 とを含み、共通の入力電圧 V_{IN} に基づいて動作する。第 1 の差動増幅器 1 0 からの第 1 の信号 S_1 に基づいて動作する第 3 の P 型トランジスタ 5 0 と、第 2 の差動増幅装置 3 0 からの第 2 の信号 S_2 に基づいて動作する第 3 の N 型トランジスタ 5 2 とが設けられ、このトランジスタ 5 0, 5 2 の間の電圧が出力電圧 V_{OUT} となる。第 1 の差動増幅回路 1 0 には、第 1 の P 型トランジスタ 1 2 と直列に接続される第 4 の N 型トランジスタ 1 6 と、第 2 の P 型トランジスタ 1 4 と直列に接続される第 4 の N 型トランジスタ 1 8 とを有し、差動対を構成する両トランジスタ 1 6, 1 8 間に能力差を設けてある。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社